

SEMICONDUCTOR MEMORY DEVICE

Patent number: JP61005495
 Publication date: 1986-01-11
 Inventor: SAKURAI TAKAYASU; others: 01
 Applicant: TOSHIBA KK
 Classification:
 - International: G11C11/34
 - european:
 Application number: JP1984011894 19840531
 Priority number(s):

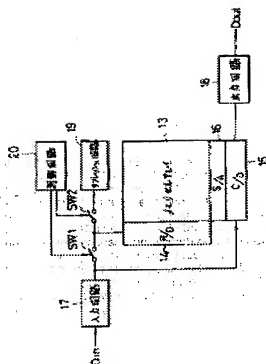
Also published as:

EP0166974 (A)
 US4677592 (A)
 EP0166974 (A)
 EP0166974 (B)

Abstract of JP61005495

PURPOSE: To reduce delay of action caused by refreshing, to speed up a semiconductor memory device and to obtain the semiconductor memory device without refresh viewing from the user side by controlling each output supply of an address information input circuit and refresh circuit through an interlocking switch.

CONSTITUTION: When switches SW1 and SW2 for interlocking by a control circuit 20 are on and off, respectively, address information from an input circuit 17 is supplied to a row decoder 14, and the information is read out from a selected cell of a memory cell array 13. After the information is wave-shaped by an output circuit 18, it is outputted by delaying the required time. The switches SW1 and SW2 are off and on, respectively, by the circuit 20 during this delayed time, and an output of a refresh circuit 19 is supplied to the decoder 14, the array 13 being refreshed. The writing to the array 13 is executed in the same manner, namely, the access and refresh of a memory cell during one cycle action are executed in parallel in terms of time. Accordingly an action delay due to the refresh can be reduced, and simultaneously the semiconductor switch refresh viewing from the user side can be obtained.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-5495

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月11日

G 11 C 11/34

1 0 1

8522-5B

審査請求 有 発明の数 1 (全7頁)

⑯ 発明の名称 半導体記憶装置

⑰ 特 願 昭59-111894

⑱ 出 願 昭59(1984)5月31日

⑲ 発 明 者 桜 井 貴 康 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 発 明 者 飯 塚 哲 哉 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明細書の序言(内容に変更なし)
明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) メモリセルアレイと、このメモリセルアレイの所定のアドレスを設定するローデコードおよびカラムデコードと、上記メモリセルアレイからビット配を介して読み出される情報を増幅するセンスアンプと、上記ローデコードおよびカラムデコードにアドレス設定用の入力信号を供給する入力回路と、上記ローデコードにリフレッシュ信号を供給して上記メモリセルアレイのメモリセルを順次リフレッシュするリフレッシュ回路と、上記入力回路およびリフレッシュ回路の出力を選択的に上記ローデコードに供給するスイッチング手段と、このスイッチング手段を制御する制御手段と、上記センスアンプの出力を波形成形する出力回路とを具備し、上記メモリセルアレイの1つの読み出しあるいは書き込みサイクル

ル中に、上記スイッチング手段によつてリフレッシュ回路の出力を選択することにより、時間並列的にリフレッシュを行なうように構成したことを特徴とする半導体記憶装置。

(2) 前記ビット線が複数に分割設定されることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、半導体記憶装置に関するもので、特にリフレッシュを必要とするダイナミックRAMに係わる。

〔発明の技術的背景とその問題点〕

従来、ダイナミックRAMは、例えば第4図に示すように構成されている。図に於いて、MC1、MC2、…はメモリセルで、これらメモリセルMC1、MC2、…は、1つのキャパシタC0と1つのトランスファゲート(MOS FET) Qとにより構成されており、上記キャパシタC0に電荷が蓄積されているか否か

よつて情報 $1, 2, \dots, 0$ を記憶するものである。WL1, WL2, ...は、上記トランスファゲートQ, Q, ...を選択的に導通制御して所定のメモリセル列MC1 ($i=1, 2, \dots$)を選択するワード線で、このワード線WL1, WL2, ...とビット線BLj ($j=1, 2, \dots$)とによつて所定のメモリセルMCijが選択される。11は、上記選択されたメモリセルMCijからビット線BLj, BLjに読み出された情報を増幅するためのセンスアンプで、このセンスアンプ11はセンスアンプイネーブル信号SEによつて制御される。DC1, DC2はダミーセル、DWL1, DWL2は上記ダミーセルDC1, DC2を選択するためのワード線で、ビット線BLj側に接続されたメモリセルから情報を読み出す場合はダミーセルDC1が、ビット線BLj側に接続されたメモリセルから情報を読み出す場合にはダミーセルDC2がそれぞれ選択されるようになっている。なお、上記ダミーセルDC1, DC2を構成するキヤ

パシタC&D1, C&D2の容量はそれぞれ、各メモリセルMC1, MC2, ...を構成するキヤパシタC&の容量の1/2に設定される。CB, CRは上記ビット線BLj, BLjの寄生容量、Q1, Q2は図示しないカラムデコードの出力CD1によつて導通制御され、上記センスアンプ11によつて増幅されたビット線BLj, BLjの電位をデータ線DL, DLを介して出力回路12に供給するための駆送用MOSFETである。そして、出力回路12から読み出し出力D outを得る。

ところで、メモリセルMC1, MC2, ...に蓄積された電荷は、リーク電流等によつて時間とともに減少する。このため、蓄積された電荷が完全に消失する前に情報を読み出し、この読み出した情報と同じ情報を再書き込みしてもう一度電荷を蓄積し直す動作、いわゆるリフレッシュが必要となる。このリフレッシュは一般のダイナミックRAMでは必ず必要であり、例えば256KビットのダイナミックRAMでは、

4ms毎にあらゆるメモリセルをリフレッシュするという制限となる。すなわち、第5図に示すように一定時間毎にリフレッシュ動作Rが行なわれ、この期間は通常動作Nが行なえない。これは例えばメモリセルMC1をリフレッシュしている間は、ビット線BLj, BLjの電位が上記メモリセルMC1の記憶情報に対応しているためで、この期間には同一のビット線BLj, BLjに接続された他のメモリセルMC2, MC3, ...から情報を読み出すことが不可能である。従つて、リフレッシュを行なっている期間にRAMをアクセスしようとしても、リフレッシュを行なっているメモリセルが接続されたビット線上のメモリセルは使えないので、この間はRAMへのアクセスを待たなければならず、効率的にアクセス時間が長くなることになり、高速化が困難である。

上述したリフレッシュ動作および通常動作について第6図のタイミングチャートを参照しつつ説明する。時刻t0においてアドレス信号

Addが変化するかあるいはチップイネーブル信号が入力されると、動作の1サイクルが始まる。時刻t1において、ワード線WL1, WL2, ...の内いずれか1つ(ここではWL1を例に取つて説明する)が図示しないローデコードの出力により選択される("H"レベルとなる)と、メモリセルMC1が選択され、このメモリセルMC1に接続されたビット線BLjに記憶情報が読み出される。この時、ワード線DWL1が"H"レベルとなり、ビット線BLjにはダミーセルDC1からの基準となる信号が読み出される。これによつて、ビット線BLj, BLjの電位が変化し始める。上記ビット線BLj, BLjの電位は、センスアンプイネーブル信号SEの"H"レベル(時刻t2)によつて、いずれか一方が"H"レベル、他方が"L"レベルとなる。この時、ワード線WL1は"H"レベルであるので、メモリセルMC1のリフレッシュが行なわれる。

一方、通常の読み出し動作時は、上述したよ

うにセンスアンプ11によつてビット線 \overline{BLj} が、 \overline{BLj} が“L”あるいは“H”レベルに設定された状態で、この行がカラムデコーダによつて選択されると、MOSFET Q1, Q2がオン状態となつてビット線 \overline{BLj} 、 \overline{BLj} の電位がデータ線 \overline{DL} 、 \overline{DL} を介して出力回路12に供給される(時刻 $t3$)。そして、時刻 $t4$ に上記出力回路12によつて波形整形された出力信号 V_{out} が得られる。

上述したように、ダイナミックRAMはリフレッシュがあるため動作速度の高速化が困難であり、このリフレッシュはダイナミックRAMのユーザにそのタイミングを見つける等の負担を常に与えている。

〔発明の目的〕

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、リフレッシュによる動作遅延を低減して高速度を図れるとともに、ユーザから見るとリフレッシュのない半導体記憶装置を提供することである。

〔発明の概要〕

すなわち、この発明においては上記の目的を達成するために、通常の読み出しや書き込みの1サイクルの中に時間並列的にリフレッシュを組み込むようにしたもので、入力回路や出力回路による動作遅延時間内にリフレッシュを行なうようにしている。

〔発明の実施例〕

以下、この発明の一実施例について図面を参照して説明する。第1図にかいて、1はメモリセルアレイで、このメモリセルアレイ1の各メモリセルは、ローデコーダ14によつて列方向が選択され、カラムデコーダ16によつて行方向が選択される。16は上記メモリセルアレイ1から読み出した情報を増幅するためのセンスアンプ、17は入力信号 D_{in} に基づいてローデコーダ14およびカラムデコーダ16によつてメモリセルのアドレスを設定するための入力回路、18は上記センスアンプ16の出力を波形整形して出力信号 V_{out} を得るための

出力回路、19はメモリセルをリフレッシュするためのリフレッシュ回路、 $SW1$ 、 $SW2$ は上記入力回路17あるいはリフレッシュ回路19の出力を上記ローデコーダ14に供給するためのスイッチで、このスイッチ $SW1$ 、 $SW2$ は制御回路20によつてオン/オフ制御される。

次に、上記のような構成において第2図のタイミングチャートを参照しつつ動作を説明する。時刻 $t0$ においてアドレス信号 A_{dd} が変化するかあるいはチップイネーブル信号が入力されるか動作の1サイクルが開始される。この時、制御回路20の出力によりスイッチ $SW1$ がオン状態、 $SW2$ がオフ状態となる。この状態で前記第4図の回路と同じであり、第4図におけるメモリセルMC1からの情報の読み出し時、メモリセルMC3をリフレッシュするものとして以下の動作を説明する。時刻 $t1$ において、ワード線 $WL1$ がローデコーダ14の出力により選択されて“H”レベルになると、メモリセルMC1が選択され、ビット線 \overline{BLj} に記憶情

報が読み出される。この時、ワード線 $DWL1$ が“H”レベルとなり、ビット線 \overline{BLj} にはタミセルDC1からの基準となる信号が読み出される。これによつて、ビット線 \overline{BLj} 、 \overline{BLj} の電位が変化し始める。上記ビット線 \overline{BLj} 、 \overline{BLj} の電位は、センスアンプイネーブル信号 S_B の“H”レベル(時刻 $t2$)によつて増幅され、いずれか一方が“H”レベル、他方が“L”レベルとなり、この電位がデータ線 \overline{DL} 、 \overline{DL} に供給される(時刻 $t3$)。また、上記時刻 $t3$ にワード線 $WL1$ 、 $DWL1$ が“L”レベルとなる。上記データ線 \overline{DL} 、 \overline{DL} に供給された電位は、出力回路18に入力され、この出力回路18によつて波形整形されて所定時間経過した時刻 $t4$ に出力信号 D_{out} が出力される。上記時刻 $t3$ 、 $t4$ 間は出力回路18による遅延時間であり、この期間にメモリセルMC3のリフレッシュを行なう。すなわち、時刻 $t5$ に制御回路20の出力によりスイッチ $SW1$ をオフ状態、スイッチ $SW2$ をオン状態に設定す

るとともに、リフレッシュ回路19の出力によりワード線WL3を選択する。これによつて、時刻1におけるセンスアンビネーブル信号SEの“L”レベルによつてプリチャージ状態に設定されたビット線BL1、BL2の電位は、メモリセルMC3の記憶情報に応じて変化し始める。また、時刻5にはワード線DWL2が“H”レベルとなりタミセルDC2が選択される。次に、時刻6にセンスアンビネーブル信号SEが“H”レベルとなると、上述したビット線BL1、BL2の電位変化が増幅されていずれか一方が“H”レベル、他方が“L”レベルとなる。これによつて、メモリセルMC3の記憶情報がリフレッシュされる。そして、時刻7にワード線WL3、DWL2が“L”レベル、時刻8にセンスアンビネーブル信号SEが“L”レベルとなる。

従つて、メモリセルMC1のアクセス動作と時間並列的にメモリセルMC3のリフレッシュを実行できる。

シユは、外部に情報を出力する必要がなく、アドレスの取り込みにも時間を消費しないので高速である。

このような構成によれば、リフレッシュを、読み出しあるいは書き込みサイクル中に時間並列に行なうようにしたので、このダイナミックRAMを使用するユーザはリフレッシュのタイミング等を全く気にする必要がなく、外部から見るとスタティックRAMに見える。その上、従来のダイナミックRAMとはほぼ同様なメモリセル面積で構成できるので、同一面積では通常のスタティックRAMの4倍の容量のものが実現できる。

なお、上記実施例では、リフレッシュ動作を通常動作の後に行なうようにしたが、入力回路17による遅延時間を利用して通常動作の前に行なつてもよい。すなわち、リフレッシュ動作を始めた時点でアドレスが変化して通常動作を行なわなければならない場合には、通常動作の前にリフレッシュが入ることになる。また、ビ

上述した1サイクルの動作終了後、制御回路20の出力によつてスイッチSW1をオン状態、SW2をオフ状態に設定することにより、次のサイクルに入る。

ところで、上記のような操作が必要なのは、リフレッシュしようとしたメモリセルとビット線を共用しているメモリセルをアクセスしようとした場合だけであり、リフレッシュはメモリセルのアクセス時間に対してかなり長い間に1回行なえば良いので、これ以外の場合には従来と同様な動作が行なわれる。すなわち、メモリセルをリフレッシュしようとした時、このメモリセルが記憶されたビット線上のメモリセルがアクセスされていなければ、単にリフレッシュだけを行なえば良い。また、リフレッシュは、メモリセルアレイの内部で順番に行なえば良く、必ずしも外部からアドレスを指定する必要はないので、上記リフレッシュ回路19にカウンタを設けてメモリセルアレイ13の各メモリセルを順次リフレッシュすれば良い。上記リフレッ

グ線BL1、BL2の寄生容量CB、CBが大きいと、ビット線BL1、BL2にメモリセルの情報が読み出されるまでに時間がかかる（いわゆるビット線遅延が大きい）ためリフレッシュが遅くなる。このようにビット線遅延が大きいと通常動作のアクセス時間内にリフレッシュが終了せず、メモリアクセスに悪影響が出るため、ビット線容量CBを小さくするように、図3図に示す如くビット線を複数の分割線に分割してもよい。図3図において、ビット線は縦方向に形成されておいて、複数のメモリセルブロックM/Bによつて分割設定されている。R/Dはロードコード、CSAはカラムセンスアンプ、MAはアドレスバッファであり、リフレッシュコントロール22によつて次のリフレッシュのアドレスとタイミングとが決定される。

上記のような構成において、ビット線をn等分すればビット線容量CBは1/nとなり、リフレッシュ動作はほぼn倍に高速化される。また、ビット線容量CBの充放電電荷は $CB \cdot V_{DD}$

(V_{DD} は電源電圧)であるので、これも $1/n$ となり、従つてリフレッシュ電流も $1/n$ となる。

〔発明の効果〕

以上説明したようにこの発明によれば、リフレッシュによる動作遅延を低減して高速化を図れるとともに、ユーザから見るとリフレッシュのない半導体記憶装置が得られる。

4. 図面の簡単な説明

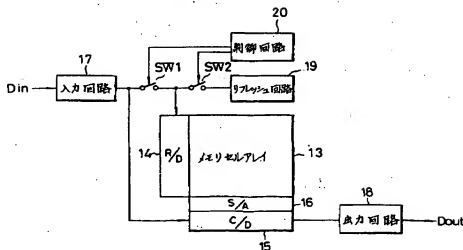
第1図はこの発明の一実施例に係る半導体記憶装置を説明するためのブロック図、第2図は上記第1図の回路の動作を説明するためのタイミングチャート、第3図はこの発明の他の実施例を説明するための図、第4図は従来の半導体記憶装置を説明するための回路図、第5図はリフレッシュ動作を説明するための図、第6図は上記第4図の回路の動作を説明するためのタイミングチャートである。

13…メモリアルレイ、14…ローデコーダ、15…カラムデコーダ、16…センスアンプ、17…入力回路、18…出力回路、19…

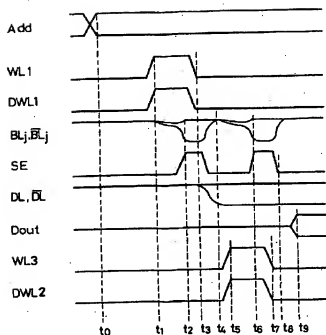
リフレッシュ回路、20…制御回路、SW1、SW2…スイッチ、BL1、BL2…ビット線。

出願人代理人 井野士 鈴 江 武 彦

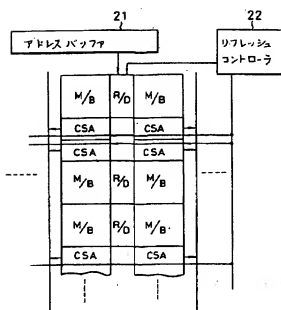
第1図



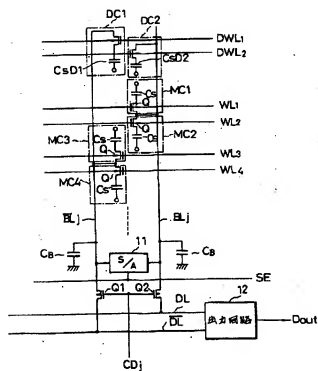
第 2 図



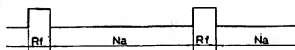
第 3 図



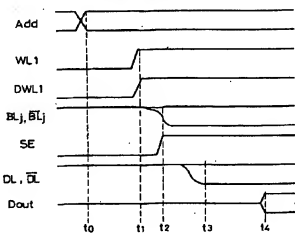
第 4 図



第 5 図



第 6 図



手続補正書

昭和59年7月6日

特許庁長官 志賀 学 殿

1. 事件の表示

特願昭59-111894号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 第17層ビル
〒105 電話 03 (502) 3181 (大代部)

氏名 (5847) 弁護士 鈴江 武彦



5. 自発補正

6. 補正の対象

明細書全文

7. 補正の内容

明細書の図面 (内容に変更なし)

手続補正書

特願昭61-5495(7)

昭和60年7月29日

特許庁長官 半 賀 道 郎 殿

1. 事件の表示

特願昭59-111894号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 第17層ビル
〒105 電話 03 (502) 3181 (大代部)

氏名 (5847) 弁護士 鈴江 武彦



5. 自発補正

6. 補正の対象

図面



7. 補正の内容

図面の第2図を別紙図面に示す通り訂正する。

第2図

